



PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Shin FUJITA

Group Art Unit: Unknown

Application No.: 10/629,590

Examiner: Unknown

Filed: July 30, 2003

Docket No.: 116725

For: TIMING ADJUSTMENT CIRCUIT, DRIVE CIRCUIT, ELECTROOPTIC DEVICE
AND ELECTRONIC EQUIPMENT

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2002-233881 filed August 9, 2002.

In support of this claim, a certified copy of said original foreign application:

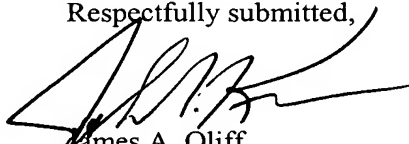
 X is filed herewith.

 was filed on in Parent Application No. filed .

 will be filed at a later date.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,


James A. Oliff
Registration No. 27,075

John S. Kern
Registration No. 42,719

JAO:JSK/kap

Date: October 20, 2003

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

**DEPOSIT ACCOUNT USE
AUTHORIZATION**
Please grant any extension
necessary for entry;
Charge any fee due to our
Deposit Account No. 15-0461

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月 9日

出 願 番 号

Application Number:

特願2002-233881

[ST.10/C]:

[JP2002-233881]

出 願 人

Applicant(s):

セイコーエプソン株式会社

2003年 6月26日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎

出証番号 出証特2003-3050780

【書類名】 特許願

【整理番号】 J0092715

【提出日】 平成14年 8月 9日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/133
G09G 3/36
G09G 3/30

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 藤田 伸

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100095728

【弁理士】

【氏名又は名称】 上柳 雅誉

【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9

【選任した代理人】

【識別番号】 100107076

【弁理士】

【氏名又は名称】 藤網 英吉

【選任した代理人】

【識別番号】 100107261

【弁理士】

【氏名又は名称】 須澤 修

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0109826

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 タイミング調整回路、駆動回路、電気光学装置および電子機器

【特許請求の範囲】

【請求項 1】 ハイレベルで有効となる入力正論理信号とローレベルで有効となる入力負論理信号とが供給され、両信号の位相差を減少させた出力正論理信号と出力負論理信号とを生成するタイミング調整回路であって、

前記入力正論理信号と前記入力負論理信号とのうち、いずれか一方の信号に基づいて基準信号を生成し、他方の信号に基づいて補正対象信号を生成する信号生成部と、

前記基準信号に基づいて前記補正対象信号を補正する補正部とを備え、

前記基準信号を、前記出力正論理信号または前記出力負論理信号の一方として出力するとともに、前記補正対象信号を前記第 1 補正回路および前記第 2 補正回路によって補正した信号を前記出力正論理信号または前記出力負論理信号の他方として出力する

ことを特徴とするタイミング調整回路。

【請求項 2】 前記補正部は、

前記基準信号の立ち上がりエッジに基づいて前記補正対象信号の立ち下がりエッジのタイミングを補正する第 1 補正部と、

前記基準信号の立ち下がりエッジに基づいて前記補正対象信号の立ち上がりエッジのタイミングを補正する第 2 補正部とを備えることを特徴とするタイミング調整回路。

【請求項 3】 前記第 1 補正部および前記第 2 補正部のいずれか一方はナンド回路であり、他方はノア回路であることを特徴とする請求項 2 に記載のタイミング調整回路。

【請求項 4】 前記基準信号が供給される第 1 配線と、

前記補正対象信号が供給される第 2 配線とを備え、

前記ナンド回路の一方の入力端子は前記第 1 配線に接続され、他方の入力端子は前記第 2 配線に接続され、前記ナンド回路の出力端子は前記第 2 配線に接続され、

前記ノア回路の一方の入力端子は前記第 1 配線に接続され、他方の入力端子は前記第 2 配線に接続され、前記ノア回路の出力端子は前記第 2 配線に接続されることを特徴とする請求項 3 に記載のタイミング調整回路。

【請求項 5】 前記基準信号は前記補正対象信号に対して位相が進んでいることを特徴とする請求項 2 乃至 4 のうちいずれか 1 項に記載のタイミング調整回路。

【請求項 6】 前記基準信号はハイレベルで有効となる一方、前記補正対象信号はローレベルで有効となり、

前記第 1 補正回路は前記ナンド回路であり、

前記第 2 補正回路は前記ノア回路である

ことを特徴とする請求項 5 に記載のタイミング調整回路。

【請求項 7】 前記基準信号はローレベルで有効となる一方、前記補正対象信号はハイレベルで有効となり、

前記第 1 補正回路は前記ノア回路であり、

前記第 2 補正回路は前記ナンド回路である

ことを特徴とする請求項 5 に記載のタイミング調整回路。

【請求項 8】 前記基準信号は前記補正対象信号に対して位相が遅れていることを特徴とする請求項 2 乃至 4 のうちいずれか 1 項に記載のタイミング調整回路。

【請求項 9】 前記基準信号はハイレベルで有効となる一方、前記補正対象信号はローレベルで有効となり、

前記第 1 補正回路は前記ノア回路であり、

前記第 2 補正回路は前記ナンド回路である

ことを特徴とする請求項 8 に記載のタイミング調整回路。

【請求項 10】 前記基準信号はローレベルで有効となる一方、前記補正対象信号はハイレベルで有効となり、

前記第 1 補正回路は前記ナンド回路であり、

前記第 2 補正回路は前記ノア回路である

ことを特徴とする請求項 8 に記載のタイミング調整回路。

【請求項 1 1】 前記信号生成部は、前記入力正論理信号と前記入力負論理信号とのうちいずれか一方の信号を反転して前記基準信号を生成する第 1 反転回路と、他方の信号を反転して前記補正対象信号とを生成する第 2 反転回路とを備えたことを特徴とする請求項 1 乃至 1 0 のうちいずれか 1 項に記載したタイミング調整回路。

【請求項 1 2】 前記入力正論理信号と前記入力負論理信号との替わりに 1 個の入力信号が前記信号生成部に供給され、

前記信号生成部は、前記入力信号に基づいて前記基準信号と前記補正対象信号とを生成することを特徴とする請求項 1 乃至 7 のうちいずれか 1 項に記載したタイミング調整回路。

【請求項 1 3】 前記信号生成部は、
前記入力信号を 1 回以上反転して前記基準信号を生成する第 1 反転回路と、
前記入力信号を前記第 1 反転回路の反転回数より多く反転して前記補正対象信号を生成する第 2 反転回路と
を備えることを特徴とする請求項 1 2 に記載のタイミング調整回路。

【請求項 1 4】 複数の走査線と、複数のデータ線と、前記走査線と前記データ線との交差に対応してマトリックス状に配置された画素電極およびスイッチング素子とを有する電気光学装置を駆動する駆動回路であって、
請求項 1 乃至 1 3 のうちいずれか 1 項に記載したタイミング調整回路を含み、
前記タイミング調整回路を用いて所定の信号のタイミングを調整することを特徴とする駆動回路。

【請求項 1 5】 複数の走査線と、
複数のデータ線と、
前記走査線と前記データ線との交差に対応してマトリックス状に配置された画素電極およびスイッチング素子と、
請求項 1 4 に記載した駆動回路と
を備えた電気光学装置。

【請求項 1 6】 請求項 1 5 に記載の電気光学装置を備えたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、入力正論理信号と入力負論理信号との位相差を減少させた出力正論理信号と出力負論理信号とを生成するタイミング調整回路、駆動回路、電気光学装置および電子機器に関する。

【0002】

【従来の技術】

電子回路では、ハイレベルでアクティブとなる正論理信号とこれを反転した負論理信号とを用いて、信号処理が行われることがある。代表的なものとしては、クロック信号と反転クロック信号とを用いて入力パルスを順次シフトするシフトレジスタが該当する。

【0003】

このように2相の信号を用いて動作する電子回路は、正論理信号と負論理信号との間には遅延がないことが理想である。しかし、正論理信号と負論理信号との生成過程や配線の引き回し等によって両信号間に遅延が発生することが多い。例えば、一個の正論理信号から負論理信号を生成するためにインバータを用いると、負論理信号は、インバータの伝播遅延時間だけ正論理信号に対して遅延する。また、仮に、信号間に遅延がない正論理信号と負論理信号とを生成できたとしても、生成回路からこれらの信号を用いる回路までの配線距離や経路が異なると、配線容量の影響を受けて、一方の信号が他方の信号に対して遅延する。

【0004】

そこで、正論理信号と負論理信号との間の遅延時間を減少させるべく、図12に示すタイミング調整回路が用いられることがある。このタイミング調整回路は、6個のインバータINV1～INV6から構成される。そして、入力正論理信号PinがインバータINV1に供給される一方、入力負論理信号NinがインバータINV4に供給される。インバータINV1～INV4はバッファ回路として機能し、インバータINV2から出力正論理信号Poutが出力されるとともにインバータINV3から出力負論理信号Noutが出力されるようになって

いる。そして、配線 L_p と配線 L_n の間にはインバータ $INV5$ とインバータ $INV5$ とが逆向きに接続されている。

【0005】

図13は、従来のタイミング調整回路の動作を示すタイミングチャートである。この例では、入力負論理信号 N_{in} が入力正論理信号 P_{in} に対して時間 T だけ遅延しているものとする。図に示す (A) は、点 Q_p と点 Q_n において、インバータ $INV1$ および $INV2$ を後段の回路と切り離した場合のインバータ $INV1$ の出力信号 $P1$ であり、(B) は点 Q_p と点 Q_n において、インバータ $INV1$ および $INV2$ を後段の回路と切り離した場合のインバータ $INV4$ の出力信号 $N1$ である。信号 $P1$ と信号 $N1$ とを比較すると信号 $N1$ は信号 $P1$ に対して時間 $T1$ だけ遅延していることが分かる。

【0006】

ここで、点 Q_p と点 Q_n において、インバータ $INV1$ および $INV2$ を後段の回路と接続したとすると、信号 $P1$ の波形は同図 (C) に示す信号 $P1'$ に変化する一方、信号 $Q1$ の波形は同図 (D) に示す信号 $Q1'$ に変化する。

【0007】

これは、インバータ $INV5$ および $INV6$ が配線 L_p と配線 L_n との間にリング状に接続されているため、インバータ $INV6$ の出力信号とインバータ $INV1$ の出力信号とが配線 L_p 上で合成され、インバータ $INV5$ の出力信号とインバータ $INV4$ の出力信号とが配線 L_n 上で合成されるからである。すなわち、配線 L_p および配線 L_n 上で一方の信号と他方の信号が相互に影響しあい、出力タイミングを遅延させていきながら両信号のタイミングが調整される。この結果、信号 $P1'$ と信号 $Q1'$ との位相差は時間 $T2$ となり、時間 $T1$ から減少する。

【0008】

【発明が解決しようとする課題】

しかしながら、従来のタイミング調整回路にあっては、インバータ $INV5$ および $INV6$ を信号が通過すると、必ず遅延が発生するから、点 Q_p と点 Q_n において、インバータ $INV1$ および $INV2$ を後段の回路と接続する前後で必ず

遅延が発生する。

【0009】

例えば、補正後の信号 $P1'$ の立ち下がリエッジ $PE1'$ に着目すると、立ち下がリエッジ $PE1'$ は、信号 $P1$ の立ち下がリエッジ $PE1$ と、信号 $Q1$ の立ち上がりエッジ $QE1$ がインバータ $INV6$ によって反転されたものとが合成されることによって得られる。このため、立ち下がリエッジ $PE1'$ は、信号 $P1$ の立ち下がリエッジ $PE1$ に対して時間 $t1$ だけ遅延する。

【0010】

そして、この遅延時間 $t1$ は、インバータ $INV1$ および $INV4 \sim INV6$ を構成するトランジスタの特性、および、入力正論理信号 Pin と入力負論理信号 Nin との位相差等によって定まる。したがって、遅延時間 $t1$ を予め見積もることが困難である。

【0011】

デジタルシステムの設計は、誤動作がないように信号の遅延を考慮して行うのが通常である。この場合、各回路の遅延時間を見積もることが必要となるが、上述のように従来のタイミング調整回路では、遅延時間の見積もりが困難であるから、システム設計に支障をきたし、使い勝手が悪いといった問題があった。

【0012】

本発明は、上述した事情に鑑みてなされたものであり、遅延時間を見積もることができるタイミング調整回路を提供することを課題とする。

【0013】

【課題を解決するための手段】

上記課題を解決するために、本発明に係るタイミング調整回路は、ハイレベルで有効となる入力正論理信号とローレベルで有効となる入力負論理信号とが供給され、両信号の位相差を減少させた出力正論理信号と出力負論理信号とを生成するものであって、前記入力正論理信号と前記入力負論理信号とのうち、いずれか一方の信号に基づいて基準信号を生成し、他方の信号に基づいて補正対象信号を生成する信号生成部と、前記基準信号に基づいて前記補正対象信号を補正する補正部とを備え、前記基準信号を、前記出力正論理信号または前記出力負論理信号

の一方として出力するとともに、前記補正対象信号を前記第 1 補正回路および前記第 2 補正回路によって補正した信号を前記出力正論理信号または前記出力負論理信号の他方として出力することを特徴とする。

【 0 0 1 4 】

この発明によれば、補正対象信号は基準信号に基づいて補正される一方、基準信号はそのまま出力されるので、基準信号が遅延されることはない。したがって、出力正論理信号と出力負論理信号の遅延時間を容易に見積もることが可能となる。この結果、タイミング調整回路を組み込んだデジタルシステムの設計が容易となる。

【 0 0 1 5 】

ここで、前記補正部は、前記基準信号の立ち上がりエッジに基づいて前記補正対象信号の立ち下がりエッジのタイミングを補正する第 1 補正部と、前記基準信号の立ち下がりエッジに基づいて前記補正対象信号の立ち上がりエッジのタイミングを補正する第 2 補正部とを備えることが望ましい。この発明によれば、基準信号の立ち上がりと補正対象信号の立ち下がりとを揃えることができるとともに、基準信号の立ち下がりと補正対象信号の立ち上がりとを揃えることができる。

【 0 0 1 6 】

具体的には、前記第 1 補正部および前記第 2 補正部のいずれか一方はナンド回路であり、他方はノア回路であることが好ましい。さらに、ナンド回路とノア回路を備える場合には、前記基準信号が供給される第 1 配線と、前記補正対象信号が供給される第 2 配線とを備え、前記ナンド回路の一方の入力端子は前記第 1 配線に接続され、他方の入力端子は前記第 2 配線に接続され、前記ナンド回路の出力端子は前記第 2 配線に接続され、前記ノア回路の一方の入力端子は前記第 1 配線に接続され、他方の入力端子は前記第 2 配線に接続され、前記ノア回路の出力端子は前記第 2 配線に接続されることが好ましい。

【 0 0 1 7 】

また、前記基準信号は前記補正対象信号に対して位相が進んでいてもよく、その場合に、前記基準信号はハイレベルで有効となる一方、前記補正対象信号はローレベルで有効となるならば、前記第 1 補正回路は前記ナンド回路であり、前記

第 2 補正回路は前記ノア回路であることが好ましい。さらに、前記基準信号は前記補正対象信号に対して位相が進んでいてもよく、その場合に、前記基準信号はローレベルで有効となる一方、前記補正対象信号はハイレベルで有効となり、前記第 1 補正回路は前記ノア回路であり、前記第 2 補正回路は前記ナンド回路であることが好ましい。

【 0 0 1 8 】

一方、前記基準信号は前記補正対象信号に対して位相が遅れていても良く、その場合に、前記基準信号はハイレベルで有効となる一方、前記補正対象信号はローレベルで有効となるならば、前記第 1 補正回路は前記ノア回路であり、前記第 2 補正回路は前記ナンド回路であることが好ましい。さらに、前記基準信号は前記補正対象信号に対して位相が遅れていても良く、その場合に、前記基準信号はローレベルで有効となる一方、前記補正対象信号はハイレベルで有効となるならば、前記第 1 補正回路は前記ナンド回路であり、前記第 2 補正回路は前記ノア回路であることが好ましい。

【 0 0 1 9 】

次に、上述したタイミング調整回路にあっては、前記信号生成部は、前記入力正論理信号と前記入力負論理信号とのうちいずれか一方の信号を反転して前記基準信号を生成する第 1 反転回路と、他方の信号を反転して前記補正対象信号とを生成する第 2 反転回路とを備えることが好ましい。この場合には、2 入力 2 出力タイプのタイミング調整回路が構成される。

【 0 0 2 0 】

さらに、前記入力正論理信号と前記入力負論理信号との替わりに 1 個の入力信号が前記信号生成部に供給され、前記信号生成部は、前記入力信号に基づいて前記基準信号と前記補正対象信号とを生成するものであってもよい。この場合には、1 入力 2 出力タイプのタイミング調整回路が構成されることになる。

【 0 0 2 1 】

より具体的には、前記信号生成部は、前記入力信号を 1 回以上反転して前記基準信号を生成する第 1 反転回路と、前記入力信号を前記第 1 反転回路の反転回数より多く反転して前記補正対象信号を生成する第 2 反転回路とを備えればよく、

例えば、第 1 反転回路を 1 個のインバータで構成し、第 2 反転回路を 2 個のインバータで構成してもよい。

【 0 0 2 2 】

次に、本発明に係る駆動回路は、複数の走査線と、複数のデータ線と、前記走査線と前記データ線との交差に対応してマトリックス状に配置された画素電極およびスイッチング素子とを有する電気光学装置を駆動するものであって、上述したタイミング調整回路を含み、前記タイミング調整回路を用いて所定の信号のタイミングを調整することが好ましい。駆動回路としては、例えば、データ線駆動回路、走査線駆動回路が含まれる。

【 0 0 2 3 】

次に、本発明に係る電気光学装置は、複数の走査線と、複数のデータ線と、前記走査線と前記データ線との交差に対応してマトリックス状に配置された画素電極およびスイッチング素子と、上述した駆動回路とを備える。この電気光学装置によれば、駆動回路における遅延時間の見積もりが容易であるから、誤動作のない設計を容易にすることができる。

【 0 0 2 4 】

次に、本発明の電子機器は、上述した電気光学装置を備えることを特徴とするものであり、例えば、ビデオカメラに用いられるビューファインダ、携帯電話機、ノート型コンピュータ、ビデオプロジェクタ等が該当する。

【 0 0 2 5 】

【発明の実施の形態】

以下、本発明の実施形態について図面を参照して説明する。

< 1 : タイミング調整回路の構成 >

【 0 0 2 6 】

図 1 は、タイミング調整回路 10 の回路図である。この図に示すタイミング調整回路 10 は、4 個のインバータ INV1 ~ INV4 と、ナンド回路 11 と、ノア回路 12 とを備える。

【 0 0 2 7 】

インバータ INV1 は、入力正論理信号 P i n を反転して基準信号 R として出

力する一方、インバータ I N V 2 は入力負論理信号 N i n を反転して補正対象信号 H として出力する。

【 0 0 2 8 】

インバータ I N V 1 の出力端子は配線 L p を介してインバータ I N V 2 の入力端子と接続されており、インバータ I N V 4 の出力端子は配線 L n を介してインバータ I N V 3 の入力端子と接続されている。そして、インバータ I N V 2 から出力正論理信号 P o u t が出力される一方、インバータ I N V 3 から出力負論理信号 N o u t が出力される。

【 0 0 2 9 】

ナンド回路 1 1 の一方の入力端子は配線 L p に接続され、他方の入力端子は配線 L n に接続され、その出力端子は配線 L n に接続される。また、ノア回路 1 2 の一方の入力端子は配線 L p に接続され、他方の入力端子は配線 L n に接続され、その出力端子は配線 L n に接続される。

【 0 0 3 0 】

このような構成において、インバータ I N V 1 およびインバータ I N V 4 は、入力正論理信号 P i n および入力負論理信号 N i n に基づいて、基準信号 R および補正対象信号 H を生成する信号生成部として機能する。

【 0 0 3 1 】

そして、基準信号 R は、配線 L p を介して伝送されるので、その過程において遅延を生ずることはない。一方、補正対象信号 H は、ナンド回路 1 1 およびノア回路 1 2 によって、基準信号 R の影響を受け、位相が補正されることになる。換言すれば、基準信号 R は補正対象信号 H の影響を受けることなく伝送され、補正対象信号 H のみが基準信号 R に基づいて補正される。なお、図 1 に示すタイミング調整回路 1 0 において、点線で囲まれた部分がタイミングの補正に係る部分であるから、発明としては、インバータ I N V 1 および I N V 4 と点線で囲まれた部分とをタイミング調整回路として捕らえてもよいし、点線で囲まれた部分とインバータ I N V 2 および I N V 3 とをタイミング調整回路として捕らえてもよいし、あるいは点線で囲まれた部分のみをタイミング調整回路として捕らえてもよい。

【 0 0 3 2 】

< 2 : タイミング調整回路の動作 >

【 0 0 3 3 】

次に、タイミング調整回路の動作について説明する。図 2 は、タイミング調整回路 1 0 の動作を説明するためのタイミングチャートである。この例では、入力負論理信号 N_{in} が入力正論理信号 P_{in} に対して時間 T_1 だけ遅延しているものとする。すなわち、基準信号 R がローレベルでアクティブとなり、基準信号 R の位相が補正対象信号 H に対して位相が進んでいる。

【 0 0 3 4 】

図示した補正対象信号 H の波形において点線で示した波形は、点 Q_n においてインバータ INV_4 を後段の回路から切り離した場合の波形である。

【 0 0 3 5 】

時刻 t_1 において基準信号 R の論理レベルがハイレベルからローレベルに遷移したとき、ノア回路 1 2 の入力信号はともにローレベルとなるので、その出力信号はハイレベルとなる。ここで、ノア回路 1 2 の伝播遅延時間を Δt_a とすれば、時刻 $t_1 + t_a$ において、補正対象信号 H はローレベルからハイレベルに遷移する。すなわち、この例において、ノア回路 1 2 は、基準信号 R の立ち下がりエッジ DE_1 に基づいて、補正対象信号 H の立ち上がりエッジ UE_1 を補正する補正回路として機能する。

【 0 0 3 6 】

そして、時刻 t_2 において、基準信号 R がローレベルからハイレベルに遷移すると、ナンド回路 1 1 の入力信号はともにハイレベルになるから、その出力信号はローレベルとなる。ここで、ナンド回路 1 1 の伝播遅延時間を Δt_b とすれば、時刻 $t_2 + t_b$ において、補正対象信号 H はハイレベルからローレベルに遷移する。すなわち、この例において、ナンド回路 1 1 は、基準信号 R の立ち上がりエッジ UE_1 に基づいて、補正対象信号 H の立ち下がりエッジ DE_2 を補正する補正回路として機能する。

【 0 0 3 7 】

このように、補正前の立ち上がりエッジ UE_2' を時間 $T_1 - \Delta t_a$ だけ早め

て補正後の立ち上がりエッジ UE_2 とすることができるとともに、補正前の立ち下がりエッジ DE_2' を時間 $T_1 - \Delta t_b$ だけ早めて補正後の立ち下がりエッジ DE_2 を発生させることができる。

【 0 0 3 8 】

したがって、基準信号 R は全く遅延させることなく、補正対象信号 H の位相を補正することができる。つまり、基準信号 R に対応する入力正論理信号 P_{in} がタイミング調整回路 10 に入力されてから、出力正論理信号 P_{out} として出力される時間は、単にインバータ INV_1 および INV_2 の伝播遅延時間の合計で定まる。また、出力負論理信号 N_{out} は、入力負論理信号 N_{in} と入力正論理信号 P_{in} との位相差とは無関係に、出力正論理信号 P_{out} から所定時間だけ遅延する。ここで、インバータ $INV_1 \sim INV_4$ の伝播遅延時間が等しく、ナンド回路 11 の遅延時間 Δt_b がノア回路 12 の遅延時間 Δt_a と等しいとすれば、出力負論理信号 N_{out} は出力正論理信号 P_{out} に比較して、時間 Δt_a だけ遅れることになる。

【 0 0 3 9 】

したがって、このタイミング調整回路 10 によれば、遅延時間を容易に見積もることができるから、デジタルシステムの一部に取り込んでもシステム全体を安定して動作させることが可能となる。

【 0 0 4 0 】

次に、基準信号 R がローレベルでアクティブとなり、基準信号 R の位相が補正対象信号 H に対して遅れている場合について説明する。図 3 にタイミング調整回路 10 のタイミングチャートを示す。

【 0 0 4 1 】

この場合には、時刻 t_1 において補正対象信号 H の論理レベルがローレベルからハイレベルに遷移したとき、ナンド回路 11 の入力信号はともにハイレベルとなるので、その出力信号はローレベルとなる。したがって、ナンド回路 11 は基準信号 R の立ち下がりエッジ DE_1 に基づいて、補正対象信号 H の立ち上がりエッジ UE_1' を補正して立ち上がりエッジ UE_1 を生成する補正回路として機能する。

【 0 0 4 2 】

そして、時刻 t_2 において、基準信号 R がハイレベルからローレベルに遷移すると、ノア回路 12 の入力信号はともにローレベルになるから、その出力信号はハイレベルとなる。したがって、ノア回路 12 は、基準信号 R の立ち上りエッジ UE_1 に基づいて、補正対象信号 H の立ち下がりエッジ DE_2' を補正して立ち下がりエッジ DE_2 を生成する補正回路として機能する。

【 0 0 4 3 】

次に、インバータ INV_1 に入力負論理信号 N_{in} が供給さる一方、インバータ INV_4 に入力正論理信号 P_{in} が供給され、入力負論理信号 N_{in} の位相が入力正論理信号 P_{in} に対して進んでいる場合について説明する。この場合、基準信号 R はハイレベルでアクティブとなり、補正対象信号 H はローレベルでアクティブとなる。図 4 にタイミング調整回路 10 のタイミングチャートを示す。

【 0 0 4 4 】

この場合には、時刻 t_1 において基準信号 R の論理レベルがローレベルからハイレベルに遷移したとき、ナンド回路 11 の入力信号はともにハイレベルとなるので、その出力信号はローレベルとなる。したがって、ナンド回路 11 は基準信号 R の立ち上りエッジ UE_1 に基づいて、補正対象信号 H の立ち下がりエッジ DE_2' を補正して立ち下がりエッジ DE_2 を発生させる補正回路として機能する。

【 0 0 4 5 】

そして、時刻 t_2 において、基準信号 R がハイレベルからローレベルに遷移すると、ノア回路 12 の入力信号はともにローレベルになるから、その出力信号はハイレベルとなる。したがって、ノア回路 12 は、基準信号 R の立ち下がりエッジ DE_1 に基づいて、補正対象信号 H の立ち上がりエッジ UE_2' を補正して立ち上がりエッジ UE_2 を発生させる補正回路として機能する。

【 0 0 4 6 】

次に、インバータ INV_1 に入力負論理信号 N_{in} が供給さる一方、インバータ INV_4 に入力正論理信号 P_{in} が供給され、入力負論理信号 N_{in} の位相が入力正論理信号 P_{in} に対して送れている場合について説明する。この場合、基

準信号 R はローレベルでアクティブとなり、補正対象信号 H はハイレベルでアクティブとなる。図 5 にタイミング調整回路 10 のタイミングチャートを示す。

【0047】

この場合には、時刻 t_1 において補正対象信号 H の論理レベルがハイレベルからローレベルに遷移しようとする、ノア回路 12 の入力信号はともにローレベルとなるので、その出力信号はハイレベルとなる。したがって、ノア回路 12 は基準信号 R の立ち上りエッジ UE_1 に基づいて、補正対象信号 H の立ち下がりエッジ DE_2' を補正して立ち下がりエッジ DE_2 を発生させる補正回路として機能する。

【0048】

そして、時刻 t_2 において、補正対象信号 H がローレベルからハイレベルに遷移しようとする、ナンド回路 11 の入力信号はともにハイレベルになるから、その出力信号はローレベルとなる。したがって、ナンド回路 11 は、基準信号 R の立ち下がりエッジ DE_1 に基づいて、補正対象信号 H の立ち上がりエッジ UE_2' を補正して立ち上がりエッジ UE_2 を発生させる補正回路として機能する。

【0049】

<3：タイミング調整回路の他の構成例>

【0050】

次に、タイミング調整回路の他の構成例について説明する。上述したタイミング調整回路 10 は 2 入力 2 出力タイプであったが、この構成例は 1 入力 2 出力タイプである。図 6 にタイミング調整回路 20 の回路図を示す。このタイミング調整回路 20 は、インバータ INV_1 の入力端子とインバータ INV_4 の入力端子との間にインバータ INV_7 を設け、入力正論理信号 P_{in} をインバータ 7 で反転してインバータ INV_4 に供給している。

【0051】

したがって、インバータ INV_4 の入力信号は、入力正論理信号 P_{in} に対してインバータ INV_7 の伝播遅延時間だけ、遅延したものとなっている。このタイミング調整回路 20 の補正動作は、図 2 に示すタイミング調整回路 10 の動作と同様である。また、インバータ INV_1 に入力負論理信号 N_{in} が供給された

場合の補正動作は、図 4 に示すタイミング調整回路 1 0 の動作と同様である。

【 0 0 5 2 】

このタイミング調整回路 2 0 によれば、1 相の入力信号に基づいて、正負論理関係にある 2 相の出力信号を生成することができるとともに、入力信号を基準として遅延時間を容易に見積もることができる。この結果、デジタルシステムの一部に取り込んでもシステム全体を安定して動作させることが可能となる。

【 0 0 5 3 】

< 4 : 液晶装置 >

【 0 0 5 4 】

次に、上述したタイミング調整回路 1 0 および 2 0 を液晶装置に適用した例について説明する。液晶装置は、電気光学材料として液晶を用いた電気光学装置である。液晶装置は、主要部として液晶パネル A A を備える。液晶パネル A A は、スイッチング素子として薄膜トランジスタ (Thin Film Transistor : 以下、「T F T」と称する) を形成した素子基板と対向基板とを互いに電極形成面を対向させて、かつ、一定の間隙を保って貼付し、この間隙に液晶が挟持されている。

【 0 0 5 5 】

図 7 は実施形態に係る液晶装置の全体構成を示すブロック図である。この液晶装置は、液晶パネル A A、タイミング発生回路 3 0 0 および画像処理回路 4 0 0 を備える。液晶パネル A A は、その素子基板上に画像表示領域 A、走査線駆動回路 1 0 0、データ線駆動回路 2 0 0、サンプリング回路 2 4 0 および画像信号供給線 L 1 を備える。この例では、データ線駆動回路 2 0 0 に上述したタイミング調整回路 1 0 および 2 0 が組み込まれている。

【 0 0 5 6 】

この液晶装置に供給される入力画像データ D は、例えば、3 ビットパラレルの形式である。タイミング発生回路 3 0 0 は、入力画像データ D に同期して Y クロック信号 Y C K、X クロック信号 X C K、Y 転送開始パルス D Y、X 転送開始パルス D X を生成して、走査線駆動回路 1 0 0 およびデータ線駆動回路 2 0 0 に供給する。また、タイミング発生回路 3 0 0 は、画像処理回路 4 0 0 を制御する各種のタイミング信号を生成し、これを出力する。

【 0 0 5 7 】

ここで、Yクロック信号YCKは、走査線2を選択する期間を特定する信号である。Xクロック信号XCKは、データ線3を選択する期間を特定する。また、Y転送開始パルスDYは走査線2の選択開始を指示するパルスであり、一方、X転送開始パルスDXはデータ線3の選択開始を指示するパルスである。

【 0 0 5 8 】

画像処理回路400は、入力画像データDに、液晶パネルの光透過特性を考慮したガンマ補正等を施した後、画像データをD/A変換して、画像信号40を生成して液晶パネルAAに供給する。なお、この例では、説明を簡略化するため、画像信号40の白黒の諧調を表すものとするが、本発明はこれに限定されるものではなく、画像信号40をRGB各色に対応するR信号、G信号、およびB信号から構成してもよい。この場合には、画像信号供給線を3本設ければよい。

【 0 0 5 9 】

次に、画像表示領域Aには、図7に示されるように、m（mは2以上の自然数）本の走査線2が、X方向に沿って平行に配列して形成される一方、n（nは2以上の自然数）本のデータ線3が、Y方向に沿って平行に配列して形成されている。そして、走査線2とデータ線3との交差付近においては、TFT50のゲートが走査線2に接続される一方、TFT50のソースがデータ線3に接続されるとともに、TFT50のドレインが画素電極6に接続される。そして、各画素は、画素電極6と、対向基板に形成される対向電極と、これら両電極間に挟持された液晶とによって構成される。この結果、走査線2とデータ線3との各交差に対応して、画素はマトリクス状に配列されることとなる。

【 0 0 6 0 】

また、TFT50のゲートが接続される各走査線2には、走査信号Y1、Y2、…、Ymが、パルスの線的に線順次で印加されるようになっている。このため、ある走査線2に走査信号が供給されると、当該走査線に接続されるTFT50がオンするので、データ線3から所定のタイミングで供給されるデータ線信号X1、X2、…、Xnは、対応する画素に順番に書き込まれた後、所定の期間保持されることとなる。

【 0 0 6 1 】

各画素に印加される電圧レベルに応じて液晶分子の配向や秩序が変化するので、光変調による階調表示が可能となる。例えば、液晶を通過する光量は、ノーマリーホワイトモードであれば、印加電圧が高くなるにつれて制限される一方、ノーマリーブラックモードであれば、印加電圧が高くなるにつれて緩和されるので、液晶装置全体では、画像信号に応じたコントラストを持つ光が各画素毎に出射される。このため、所定の表示が可能となる。

【 0 0 6 2 】

また、保持された画像信号がリークするのを防ぐために、蓄積容量 5 1 が、画素電極 6 と対向電極との間に形成される液晶容量と並列に付加される。例えば、画素電極 6 の電圧は、ソース電圧が印加された時間よりも 3 桁も長い時間だけ蓄積容量 5 1 により保持されるので、保持特性が改善される結果、高コントラスト比が実現されることとなる。

【 0 0 6 3 】

次に、データ線駆動回路 2 0 0 は、Xクロック信号 X C K に同期して順次アクティブとなるサンプリング信号を生成する。サンプリング信号は 2 個で 1 組の信号であり、ある組のサンプリング信号はハイレベルでアクティブ（有効）となる正サンプリング信号とこれを反転したローレベルでアクティブとなる負サンプリング信号とからなる。そして、各組の正サンプリング信号 S a 1 ~ S a n は排他的にアクティブとなり、各組の負サンプリング信号 S b 1 ~ S b n は排他的にアクティブとなる。具体的には、サンプリング信号は S a 1, S b 1 → S a 2, S b 2 → … S a n, S b n の順にアクティブとなる。

【 0 0 6 4 】

サンプリング回路 2 4 0 は、n 個のトランスファークロスタック SW 1 ~ SW n を備える（図示略）。各トランスファークロスタック SW 1 ~ SW n は、相補型の T F T によって構成されており、正サンプリング信号 S a 1 ~ S a n および負サンプリング信号 S b 1 ~ S b n によって制御される。そして、各サンプリング信号 S a 1 ~ S a n および S b 1 ~ S b n が順次アクティブになると、各トランスファークロスタック SW 1 ~ SW n が順次オン状態となる。すると、画像信号供給線 L 1 を介し

て供給される画像信号40がサンプリングされ、各データ線3に順次供給される。

【0065】

図8は、データ線駆動回路200の構成を示すブロック図である。図に示すようにデータ線駆動回路200は、シフトレジスタ部210と出力信号制御部220との他、タイミング調整回路10および20を含んでいる。

【0066】

タイミング調整回路20はタイミング発生回路300から供給されるXクロック信号XCKに基づいて、Xクロック信号XCK'と反転Xクロック信号XCKB'とを生成する。

【0067】

次に、シフトレジスタ部210は、縦続接続されたシフトレジスタ単位回路Ua1～Uan+2を含む。各シフトレジスタ単位回路Ua1～Uan+2は、Xクロック信号XCK'と反転Xクロック信号XCKB'に基づいて、開始パルスDXを順次転送する。開始パルスDXを確実に転送するためには、開始パルスDXとXクロック信号XCK'および反転Xクロック信号XCKB'との位相差を管理する必要がある。上述したようにXクロック信号XCKを基準としたとき、Xクロック信号XCK'と反転Xクロック信号XCKB'との遅延時間は容易に見積もることができるから、タイミング発生回路400で発生させる開始パルスDXとXクロック信号XCKとのタイミングを容易に定めることができる。

【0068】

また、タイミング発生回路400から液晶パネルAAに単一相のXクロック信号XCKのみを供給すればよいから、配線の数減らすことができ、さらに、信号駆動のために消費される電力を削減することができる。

【0069】

出力信号制御部220は、n+1個の演算単位回路Ub1～Ub n+1を備える。演算単位回路Ub1～Ub nはシフトレジスタ単位回路Ua2～Uan+2に対応して各々設けられており、シフトレジスタ単位回路Ua1～Uan+2の各出力信号と次段の演算単位回路Ub1～Ub nに基づいて、正サンプリング信

号 $S a 1' \sim S a n'$ と負サンプリング信号 $S b 1' \sim S b n'$ とを生成する。
正サンプリング信号 $S a 1' \sim S a n'$ と負サンプリング信号 $S b 1' \sim S b n'$ とは正負論理関係にある信号であるが、位相が若干ずれている。

【 0 0 7 0 】

各タイミング調整回路 1 0 は、正・負サンプリング信号の組 $S a 1'$, $S b 1'$ 、 $S a 2'$, $S b 2'$ 、 …、 $S a n'$, $S b n'$ の位相を調整して正サンプリング信号 $S a 1 \sim S a n$ と負サンプリング信号 $S b 1 \sim S b n$ とを生成する。

【 0 0 7 1 】

このとき、正サンプリング信号 $S a 1$ と負サンプリング信号 $S b 1$ との位相はほぼ一致するので、サンプリング回路 2 4 0 のトランスファークロップ $SW 1$ を確実にオン・オフさせることができる。

【 0 0 7 2 】

また、正サンプリング信号 $S a 1 \sim S a n$ と負サンプリング信号 $S b 1 \sim S b n$ との遅延時間は確実に見積もることができるから、画像信号供給線 $L 1$ に供給する画像信号 4 0 とのタイミングを正確に定めることができる。この結果、高精細で鮮明な画像を表示することが可能となる。

【 0 0 7 3 】

次に、走査線駆動回路 1 0 0 は、タイミング調整回路 2 0、シフトレジスタ、レベルシフタおよびバッファ等を備えている。タイミング調整回路 2 0 は、Yクロック信号 YCK に基づいて、Yクロック信号 YCK' および反転Yクロック信号 $YCKB'$ を生成するようになっている。シフトレジスタはYクロック信号 YCK' および反転Yクロック信号 $YCKB'$ に同期して、Y転送開始パルス DY を転送して順次アクティブとなる信号を生成する。そして、シフトレジスタの各出力信号は $TFT 5 0$ のオン・オフを制御できるようにレベルシフタによってレベル変換されるとともに、バッファによって電流増幅され、各走査信号 $Y 1 \sim Y m$ として各走査線 2 に供給される。

【 0 0 7 4 】

走査線駆動回路 1 0 0 にタイミング調整回路 2 0 を組み込むことによって、タイミング発生回路 4 0 0 で発生させるY転送開始パルス DY とYクロック信号 Y

CKとのタイミングを容易に定めることができる。また、タイミング発生回路400から液晶パネルAAに単一相のYクロック信号YCKのみを供給すればよいから、配線の数減らすことができ、さらに、信号駆動のために消費される電力を削減することができる。

【0075】

なお、この例は、アクティブマトリクス型液晶表示装置として説明したが、これに限られず、STN (Super Twisted Nematic) 液晶などを用いたパッシブ型にも適用可能である。さらに、電気光学材料としては、液晶のほかに、エレクトロルミネッセンス素子などを用いて、その電気光学効果により表示を行う表示装置にも適用可能である。すなわち、本発明は、上述した液晶装置と類似の構成を有するすべての電気光学装置に適用可能である。

【0076】

<5：電子機器>

【0077】

次に、上述した液晶装置を各種の電子機器に適用される場合について説明する。

【0078】

<5-1：プロジェクタ>

【0079】

まず、この液晶装置をライトバルブとして用いたプロジェクタについて説明する。図9は、プロジェクタの構成例を示す平面図である。

【0080】

この図に示されるように、プロジェクタ1100内部には、ハロゲンランプ等の白色光源からなるランプユニット1102が設けられている。このランプユニット1102から射出された投射光は、ライトガイド1104内に配置された4枚のミラー1106および2枚のダイクロイックミラー1108によってRGBの3原色に分離され、各原色に対応するライトバルブとしての液晶パネル1110R、1110Bおよび1110Gに入射される。

【0081】

液晶パネル 1 1 1 0 R、1 1 1 0 B および 1 1 1 0 G の構成は、上述した液晶パネル A A と同等であり、画像信号処理回路（図示省略）から供給される R、G、B の原色信号でそれぞれ駆動されるものである。そして、これらの液晶パネルによって変調された光は、ダイクロイックプリズム 1 1 1 2 に 3 方向から入射される。このダイクロイックプリズム 1 1 1 2 においては、R および B の光が 9 0 度に屈折する一方、G の光が直進する。したがって、各色の画像が合成される結果、投射レンズ 1 1 1 4 を介して、スクリーン等にカラー画像が投写されることとなる。

【 0 0 8 2 】

ここで、各液晶パネル 1 1 1 0 R、1 1 1 0 B および 1 1 1 0 G による表示像について着目すると、液晶パネル 1 1 1 0 G による表示像は、液晶パネル 1 1 1 0 R、1 1 1 0 B による表示像に対して左右反転することが必要となる。

【 0 0 8 3 】

なお、液晶パネル 1 1 1 0 R、1 1 1 0 B および 1 1 1 0 G には、ダイクロイックミラー 1 1 0 8 によって、R、G、B の各原色に対応する光が入射するので、カラーフィルタを設ける必要はない。

【 0 0 8 4 】

< 5 - 2 : モバイル型コンピュータ >

【 0 0 8 5 】

次に、この液晶パネルを、モバイル型のパーソナルコンピュータに適用した例について説明する。図 1 0 は、このパーソナルコンピュータの構成を示す斜視図である。図において、コンピュータ 1 2 0 0 は、キーボード 1 2 0 2 を備えた本体部 1 2 0 4 と、液晶表示ユニット 1 2 0 6 とから構成されている。この液晶表示ユニット 1 2 0 6 は、先に述べた液晶パネル 1 0 0 5 の背面にバックライトを付加することにより構成されている。

【 0 0 8 6 】

< 5 - 3 : 携帯電話 >

【 0 0 8 7 】

さらに、この液晶パネルを、携帯電話に適用した例について説明する。図 1 1

は、この携帯電話の構成を示す斜視図である。図において、携帯電話 1 3 0 0 は、複数の操作ボタン 1 3 0 2 とともに、反射型の液晶パネル 1 0 0 5 を備えるものである。この反射型の液晶パネル 1 0 0 5 にあっては、必要に応じてその前面にフロントライトが設けられる。

【 0 0 8 8 】

なお、図 9 ～図 1 1 を参照して説明した電子機器の他にも、液晶テレビや、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、P O S 端末、タッチパネルを備えた装置等などが挙げられる。そして、これらの各種電子機器に適用可能なのは言うまでもない。

【 0 0 8 9 】

【発明の効果】

以上説明したように本発明よれば、基準信号に基づいて補正対象信号を補正し、基準信号はそのまま出力するから、入出力間の遅延時間を容易に見積もることができるタイミング調整回路を提供することが可能となる。

【図面の簡単な説明】

本発明に係る液晶パネル A A の全体構成を示すブロック図である。

【図 1】 本発明に係るタイミング調整回路 1 0 の構成を示す回路図である。

【図 2】 タイミング調整回路 1 0 の動作例を示すタイミングチャートである。

【図 3】 タイミング調整回路 1 0 の他の動作例を示すタイミングチャートである。

【図 4】 タイミング調整回路 1 0 の他の動作例を示すタイミングチャートである。

【図 5】 タイミング調整回路 1 0 の他の動作例を示すタイミングチャートである。

【図 6】 他の構成例であるタイミング調整回路 2 0 の回路図である。

【図 7】 本発明に係る液晶装置の構成を示すブロック図である。

【図 8】 同装置のデータ線駆動回路 2 0 0 の構成を示すブロック図である。

【図 9】 同液晶装置を適用した電子機器の一例たるビデオプロジェクタの断面図である。

【図 1 0】 同液晶装置を適用した電子機器の一例たるパーソナルコンピュータの構成を示す斜視図である。

【図 1 1】 同液晶装置を適用した電子機器の一例たる携帯電話の構成を示す斜視図である。

【図 1 2】 従来のタイミング調整回路の構成を示す回路図である。

【図 1 3】 従来のタイミング調整回路の動作を示すタイミングチャートである。

【符号の説明】

2 ……走査線

3 ……データ線

6 ……画素電極

1 0、2 0 ……タイミング調整回路

1 1 ……ナンド回路

1 2 ……ノア回路

5 0 ……T F T（スイッチング素子）

I N V 1 ～ I N V 7 ……インバータ

S a 1 ～ S a n ……正サンプリング信号

S b 1 ～ S b n ……負サンプリング信号

2 0 0、2 0 0' ……データ線駆動回路

2 1 0 ……シフトレジスタ部

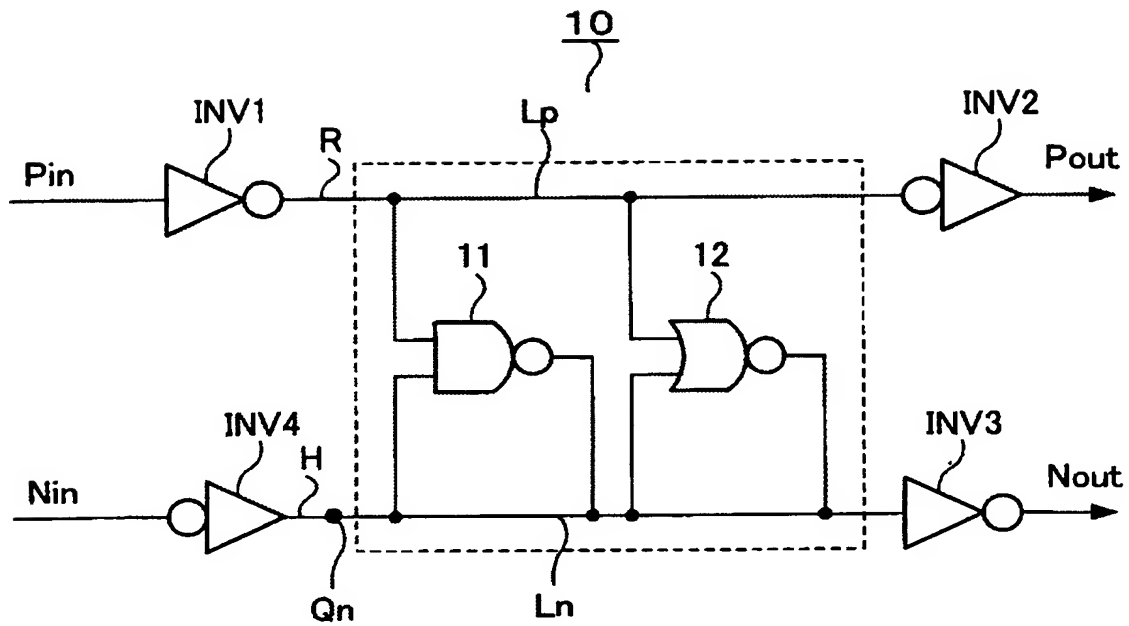
2 2 0 ……出力信号制御部

U a 1 ～ U a n + 2 ……シフトレジスタ単位回路

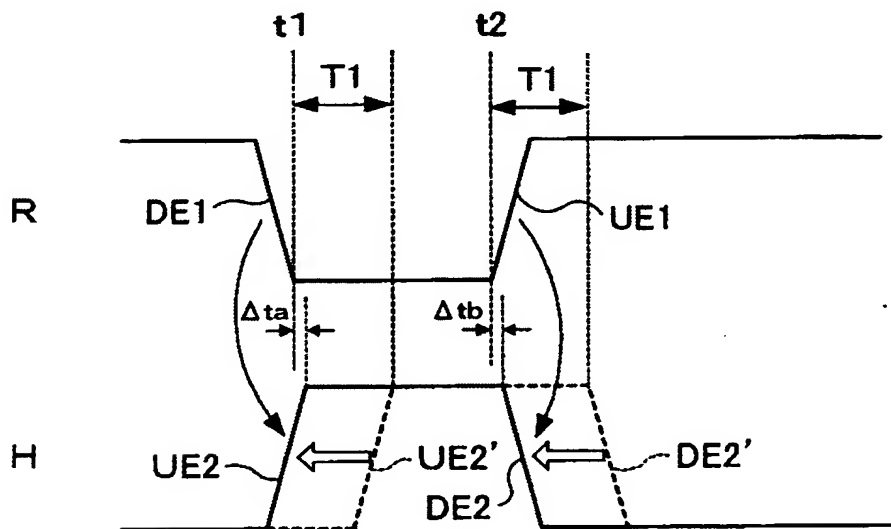
U b 1 ～ U b n + 1 ……演算単位回路

【書類名】 図面

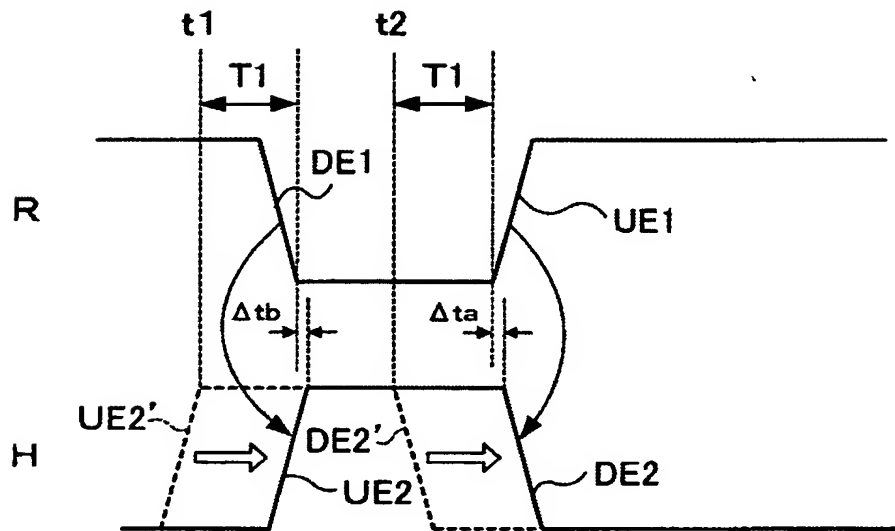
【図 1】



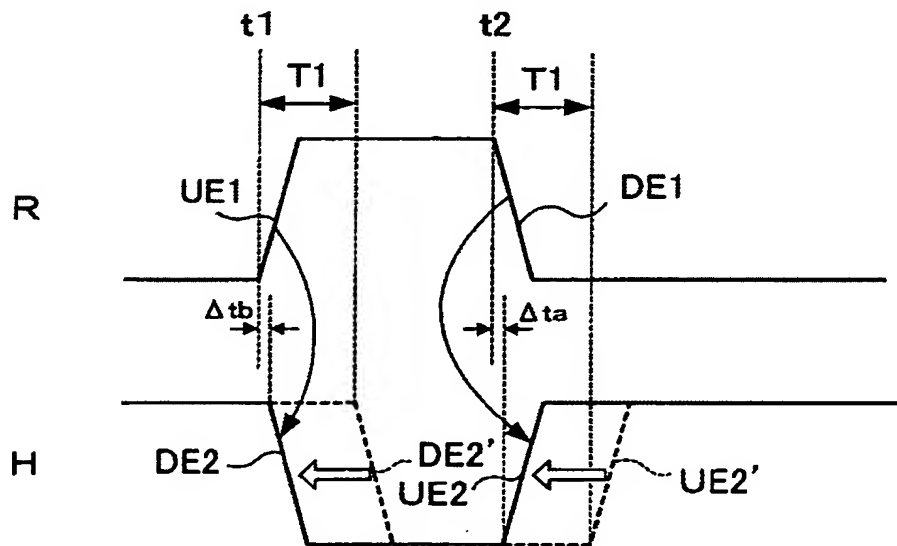
【図 2】



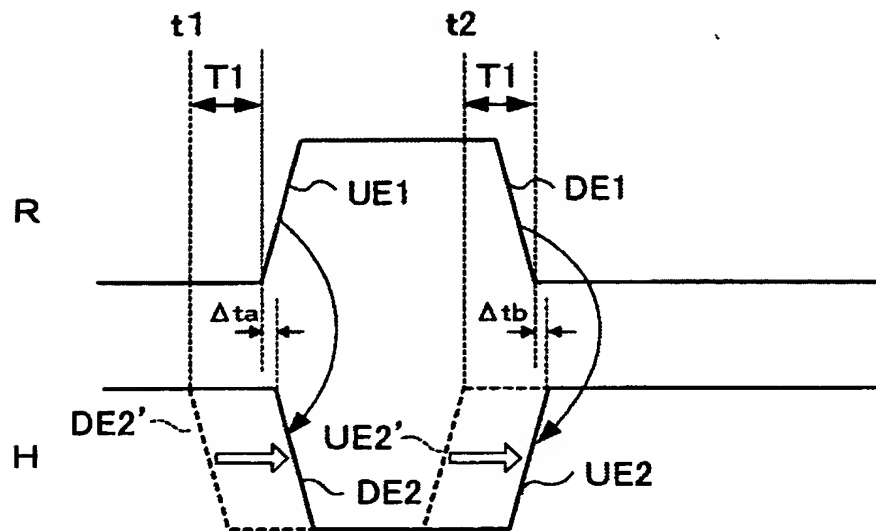
【図 3】



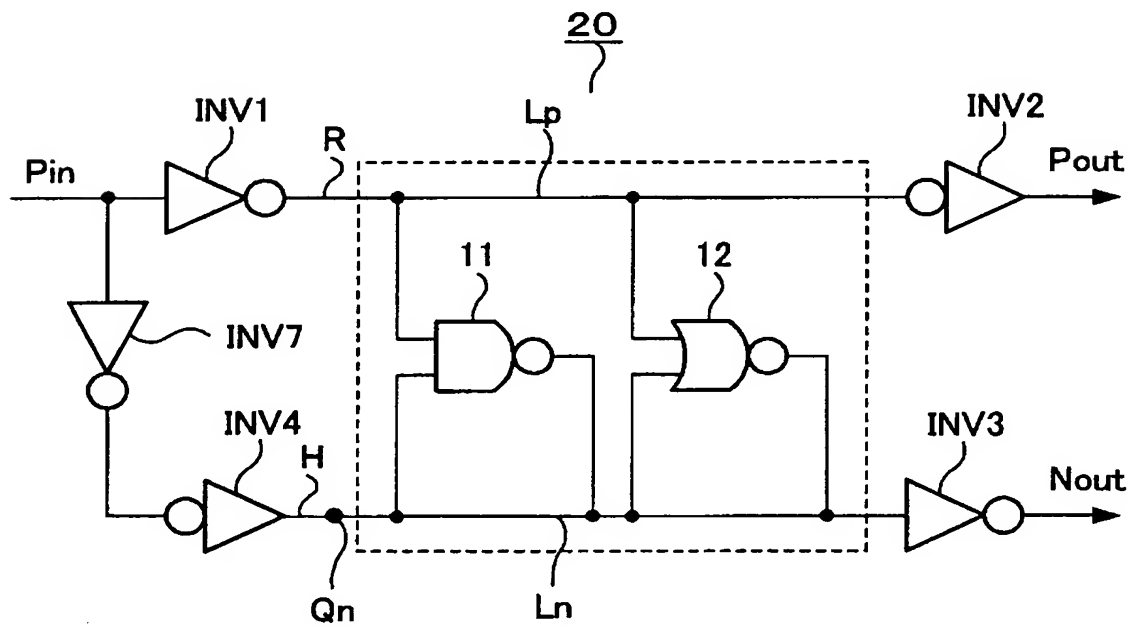
【図 4】



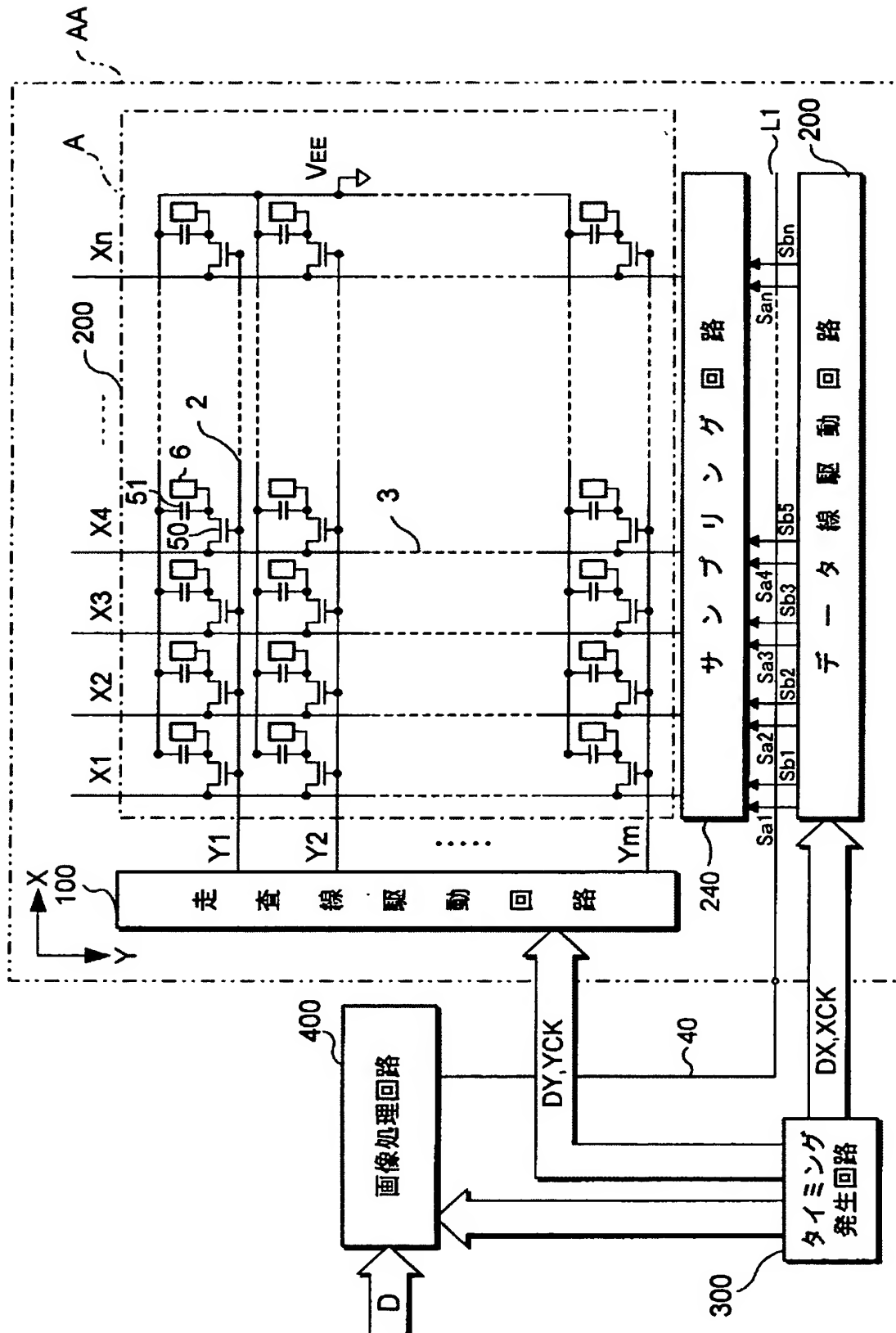
【図 5】



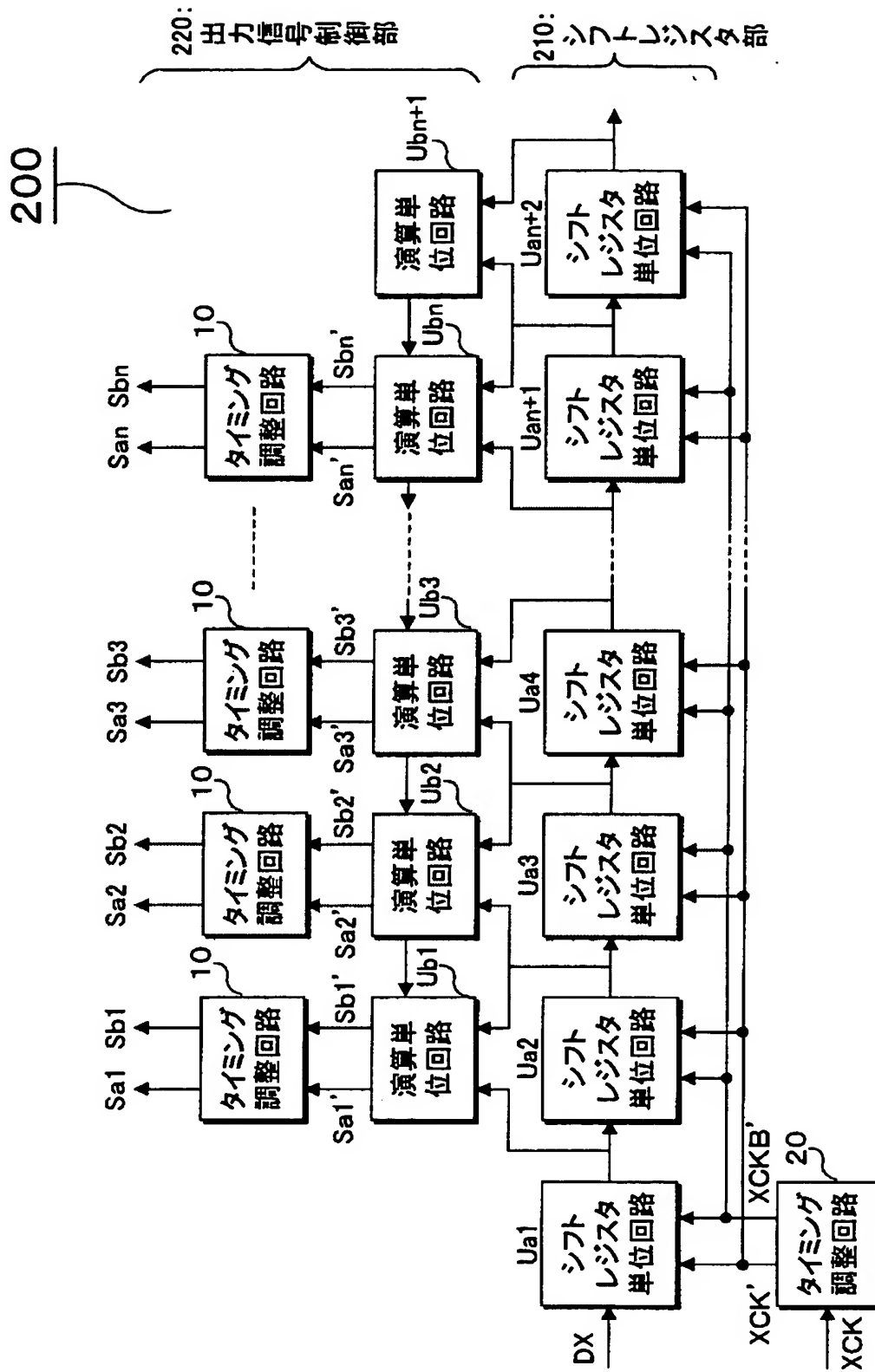
【図 6】



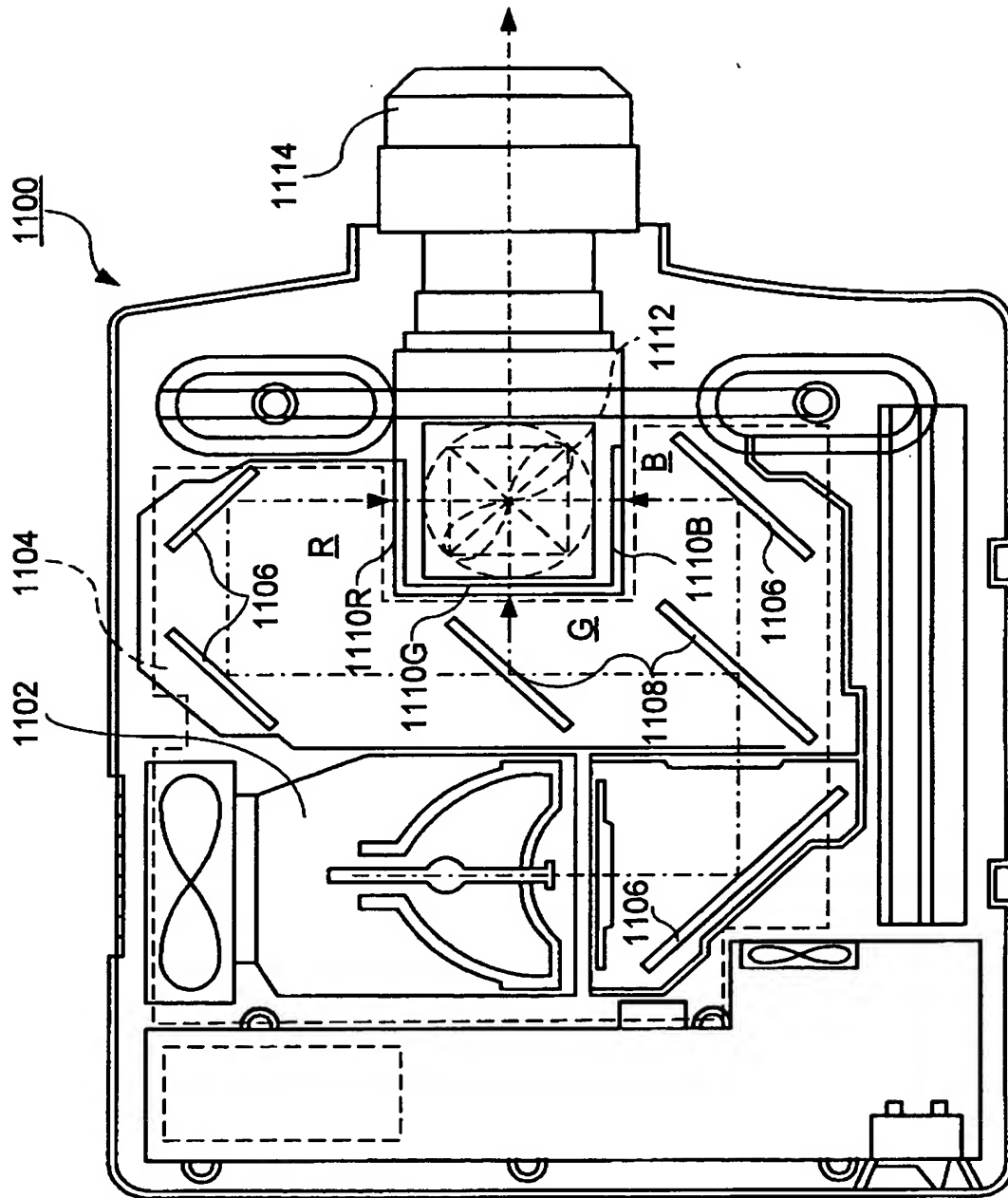
【图 7】



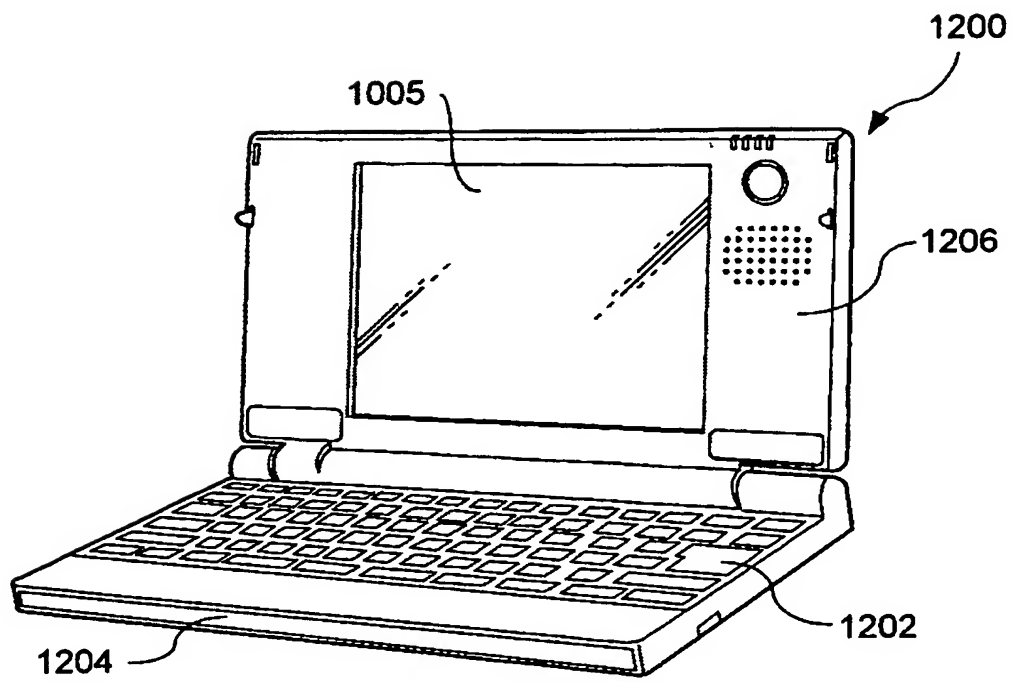
【图 8】



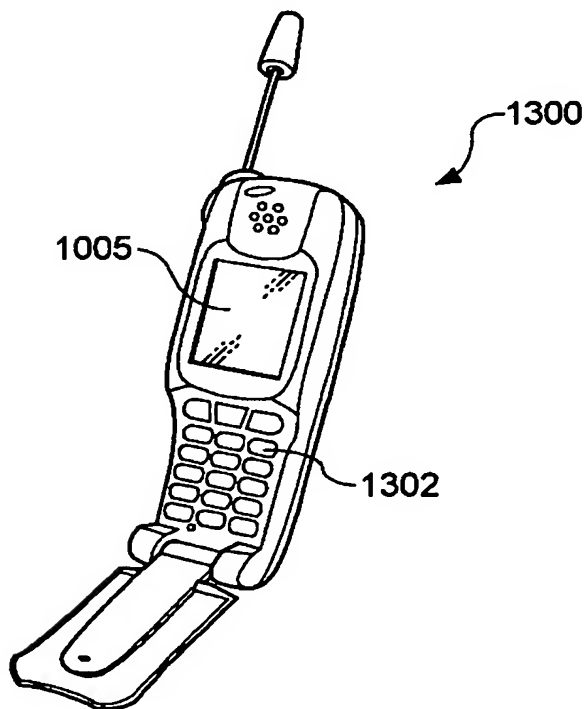
【図9】



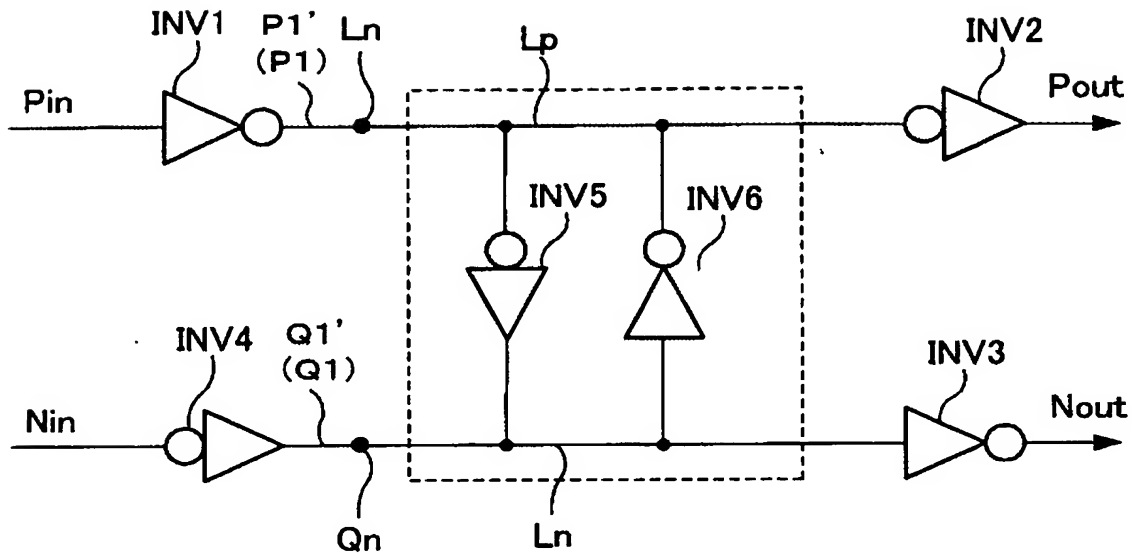
【図 1 0】



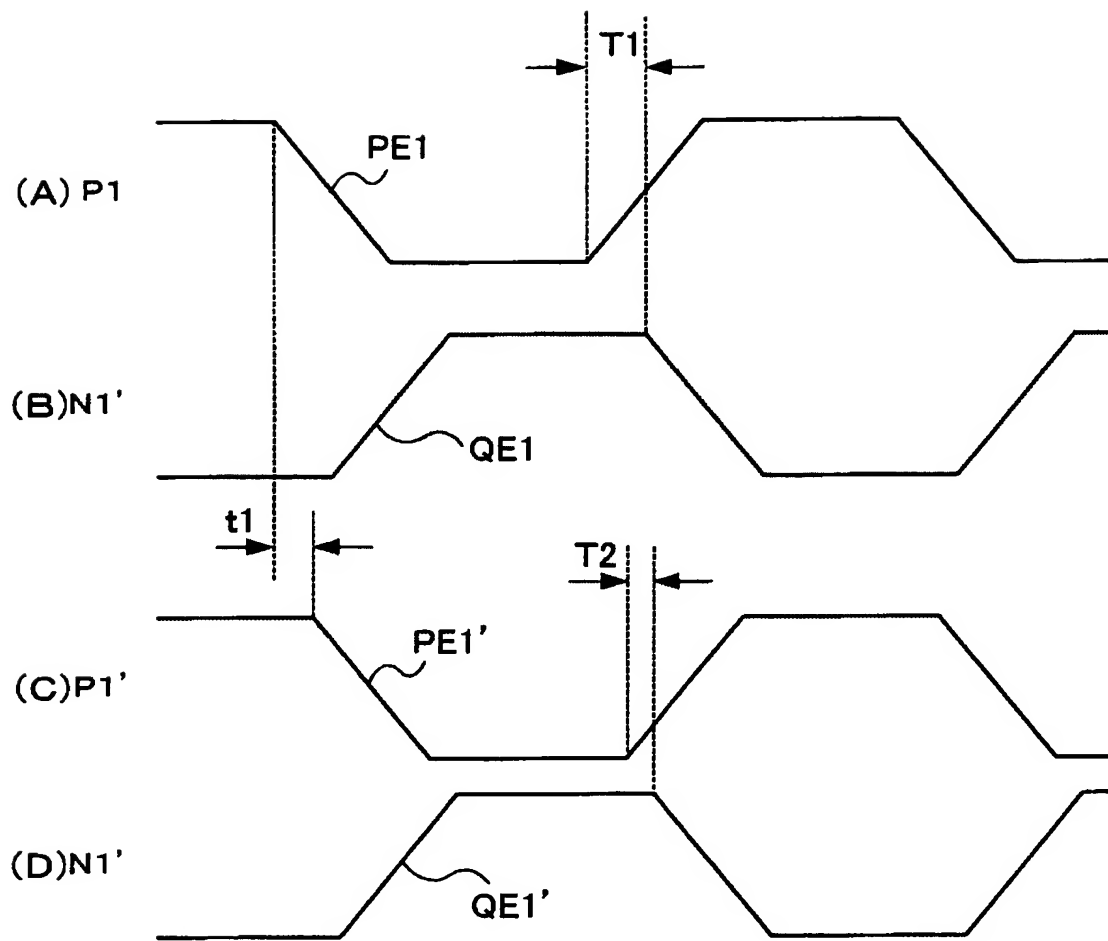
【図 1 1】



【図 12】



【図 1 3】



【書類名】 要約書

【要約】

【課題】 入出力間の遅延時間の見積を容易にする。

【解決手段】 インバータ I N V 1 および I N V 4 は、入力正論理信号 P i n および入力負論理信号 N i n に基づいて、基準信号 R および補正対象信号 H を生成する。基準信号 R は、配線 L p を介して伝送されるので、その過程において遅延を生ずることはない。一方、補正対象信号 H は、ナンド回路 1 1 およびノア回路 1 2 によって、基準信号 R の影響を受け、位相が補正される。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 2 3 6 9]

1. 変更年月日 1 9 9 0 年 8 月 2 0 日

[変更理由] 新規登録

住 所 東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名 セイコーエプソン株式会社